

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-51252

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月21日

H 01 L 21/82
21/3205
27/04D 7514-5F
8526-5F
6824-5FH 01 L 21/82
21/88L
Z

審査請求 有 請求項の数 4 (全6頁)

⑭ 発明の名称 集積回路の配線構造

⑰ 特 願 昭63-201963

⑱ 出 願 昭63(1988)8月15日

⑲ 発 明 者 堀 親 宏 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導
体システム技術センター内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 三好 保男 外1名

明 細 書

1. 発明の名称

集積回路の配線構造

2. 特許請求の範囲

(1) 電源を給電する電源配線間に、クロック信号が伝搬されるクロック信号配線のみを配置形成したことを特徴とする集積回路の配線構造。

(2) クロック信号をバッファする回路を前記クロック信号配線に沿って分散して配置したことを特徴とする請求項1記載の集積回路の配線構造。

(3) 前記クロック信号配線及び電源配線を多層配線におけるいずれか1つの配線層により形成したことを特徴とする請求項1及び請求項2に記載の集積回路の配線構造。

(4) 前記クロック信号配線及び電源配線を他の信号配線とは別の配線層で形成したことを特徴とする請求項1及び請求項2に記載の集積回路の配線構造。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、クロック信号が高速に伝搬されるクロック信号配線の配置設計を容易に行なうことができる集積回路の配線構造に関する。

(従来の技術)

近年、半導体技術の飛躍的な発展にともなって、集積回路の大規模化、高速化がめざましい勢いで進んでいる。

このような背景の中で、回路の動作上非常に重要な信号の一つであるクロック信号は、多くのゲートに供給されるとともに、その周波数は速くなってきている。

クロック信号が供給されるゲートが多くなると、供給側の負荷を駆動するためのバッファ回路が多数必要となる。一方、クロック信号の周波数が短くなると、クロック信号の立上り時間、立下り時間の動作処理に対する影響が無視できなくなる。このため、立上り、立下りのシャープなクロック信号が必要になってくる。

このようなクロック信号を伝搬させるクロック

信号配線は、第14図に示すように他の信号の伝搬路となる信号配線が形成されている配線領域内に配置形成されている。

このようなクロック信号配線のレイアウトにあつては、微細加工化の技術により配線間の距離は小さくなっている。このため、配線間の容量は、配線と基板との容量に比べて無視できないものとなる。したがって、高速かつシャープな波形がクロック信号に要求される場合には、配線間容量を考慮に入れて配線のレイアウト設計を行なわなければならない。

しかしながら、配線間容量の信号伝搬への影響は、隣接する配線の電圧に依存する。このため、クロック信号配線を信号レベルが変化する信号が伝搬する他の信号配線に隣接してレイアウトすると、クロック信号配線の配線容量のクロック信号伝搬への影響を容易にシミュレーションすることは難しくなる。

また、配線間容量の大きな信号線に対して、急峻な波形の信号を印加すると、容量性のカップリ

ングにより、信号線の電位が一時的に変動する。このため、急峻な波形のクロック信号が伝搬されるクロック信号配線と他の信号配線とを、長い距離にわたって並行して配置レイアウトすることは困難となる。

一方、クロック信号配線が長くなり、クロック信号の高速化が要求される場合には、クロック信号の出力側と入力側との間でバッファするようにすればよい。このために、クロック信号を入力とするバッファ回路が必要となる。このバッファ回路は、当然ながら電源を必要とする。したがって、電源配線とクロック信号配線とが離れている場合には、クロック信号配線を電源配線の近傍にまで引き込まなければならない。あるいは、クロック信号配線と電源配線との距離が短い場所に、バッファ回路を配置レイアウトする必要がある。

(発明が解決しようとする課題)

上記したように、他の信号配線と隣接して短い配線間隔で配設されているクロック信号配線は、その配線間容量のクロック信号伝搬への影響が隣

接する信号配線の電位に左右される。このため、クロック信号配線の配線間容量の影響をシミュレーションすることは困難となる。また、配線間容量が大きくなると、クロック信号が他の信号に影響を与えることになる。さらに、クロック信号をバッファするバッファ回路の配置場所に制約を受けることになる。

したがって、これらを考慮して、シャープな波形のクロック信号を高速に伝搬させるクロック信号配線を、高密度に配置レイアウトすることは、極めて困難な作業となっていた。

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、周波数の高いシャープな波形のクロック信号を伝搬させるクロック信号配線の設計レイアウトを、容易に行なうことが可能な集積回路の配線構造を提供することにある。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために、この発明は、電

源を給電する電源配線間に、クロック信号が伝搬されるクロック信号配線のみを配置成形する構成とした。

(作用)

上記構成において、この発明には、クロック信号配線に隣接する配線の電位を固定とするようにしている。

(実施例)

以下、図面を用いてこの発明の実施例を説明する。

第1図乃至第13図はこの発明の第1の実施例乃至第13の実施例に係る集積回路の配線構造を示すパターン平面図である。これらの実施例では、クロック信号配線だけを、電源配線間に配置レイアウトするようにしている。

第1図に示す第1の実施例では、クロック信号配線1のみを、それぞれ異なる電位の電源を供給する電源配線1と電源配線2との間に配置したものである。このような配置レイアウトにあつては、クロック信号配線1と隣接する配線が電源配線1、

2となる。また、電源配線1, 2の電位は、通常一定電位に保持されるように設計されている。このため、クロック信号配線1に隣接する配線の電位は一定電位となり、電源配線1, 2に対するクロック信号配線1の配線間容量のクロック信号伝搬への影響を容易にシミュレーションすることができるようになる。したがって、所望のクロック信号を伝搬させるためのクロック信号配線の配線幅や隣接する配線との間隔及び配線経路を容易に決定することが可能となる。

また、配線間容量によるクロック信号配線1と電源配線1, 2とのクロストークはなくなり、クロック信号が電源配線に与える影響はほとんどなくなる。

したがって、周波数の高いシャープな波形のクロック信号を伝搬させるクロック信号配線の配置設計を容易に行なうことができるようになる。

第2図に示す第2の実施例は、クロック信号配線1みのを、同一電位の電源を供給する2本の電源配線1の間に配置レイアウトしたものである。

11の代りにインバータ回路であってもかまわない。また、クロック信号をバッファするバッファ回路やインバータ回路は、所望のクロック信号が得られるように、その配置場所及び個数を決定すればよい。

第4図に示す第4の実施例は、クロック信号とこのクロック信号を反転したあるいは位相のずれたクロック信号を伝搬するクロック信号配線1, 2だけを、異なる電位の電源配線1, 2との間に配置レイアウトしたことを特徴としている。

第5図に示す第5の実施例及び第6図に示す第6の実施例は、第1の電源電位を2本の電源配線1により供給し、第2の電源電位を1本の電源配線2により供給するものにおいて、クロック信号配線1のみを、電源配線1, 2間に配置レイアウトしたことを特徴としている。

第7図に示す第7の実施例は、第5及び第6の実施例と同様な電源配線1, 2の配置にあって、2種類のクロック信号をそれぞれ伝搬させるクロック信号配線1, 2を、それぞれのクロック信号

このような配置構造にあっても、第1の実施例と同様の効果が得られる。

第3図に示す第3の実施例は、第1の実施例に対して、クロック信号配線1を伝搬するクロック信号をバッファするバッファ回路11を設けたものである。このバッファ回路11は、それぞれの電源配線1, 2からコンタクト領域13を介して給電され、入力端子15からクロック信号を受け、バッファしたクロック信号を出力端子17を介してクロック信号配線1に出力する。

このように、クロック信号をバッファするバッファ回路を配置するような場合には、電源配線1, 2とクロック信号配線が隣接しているため、クロック信号配線を電源配線のところまで引き込んで配線する必要はなくなる。さらに、バッファ回路における配置場所の制約が少なくなる。したがって、この第3の実施例では、第1の実施例と同様な効果が得られるとともに、上記した効果が得られる。

なお、第3の実施例にあつては、バッファ回路

配線1, 2のみが電源配線1, 2間に配置されるようにしたことを特徴としている。

第8図に示す第8の実施例は、第7の実施例における一方のクロック信号配線を、クロック信号とは別の他の信号が伝搬される信号配線1としたものである。

第9図に示す第9の実施例は、それぞれ異なる3種類の電源電位を供給する電源配線1, 2, 3の間に、クロック信号配線1のみを配置したことを特徴とする。

第10図に示す第10図の実施例は、第9の実施例に示す一方のクロック信号配線1を、このクロック信号配線1を伝搬するクロック信号とは別のクロック信号を伝搬するクロック信号配線2としたことを特徴とする。

第11図乃至第12図に示す第11の実施例乃至第12の実施例は、第1の実施例と同様な電源配線1, 2とクロック信号配線1の配置レイアウトにあって、クロック信号配線1及び電源配線1, 2とは異なる第2の配線層を有する多層配線構造

に適用したものである。

第11図に示す第11の実施例は、信号配線1、2、及び電源配線1、2間に配置されたクロック信号配線1と直交するクロック信号配線1を、第2の配線層で形成したものである。

第12図に示す第12の実施例は、前記した第3の実施例と同様にバッファ回路21を設けたものであり、それぞれの電源配線1、2からコンタクト領域23を介して給電され、入力端子25からクロック信号を受けるバッファ回路21のクロック信号配線1と直交する出力配線27を、第2の配線層で形成したことを特徴としている。

第13図に示す第13の実施例は、第12の実施例に対して、コンタクト領域29を介してクロック信号が与えられる出力配線31を、クロック信号と同様の第1の配線層で形成したことを特徴としている。

なお、第12及び第13の実施例において、バッファ回路21はインバータ回路であってもかまわない。また、この発明は、上記した実施例に限

定されるものではなく、電源配線の本数及び電源電位の数、クロック信号配線の本数にかかわらず、実施できることは勿論である。

〔発明の効果〕

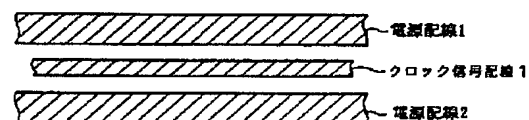
以上説明したように、この発明が適用されたクロック信号配線の配置にあつては、隣接する配線の電位が一定となる。これにより、配線間容量のクロック信号伝搬への影響を容易にシミュレーションすることができるとともに、クロック信号の隣接配線への影響を防止することができる。さらに、クロック信号をバッファする回路の配置場所の制約が少なくなる。この結果、周波数の高いシャープな波形のクロック信号を、周囲に影響を与えることなく伝搬させるクロック信号配線の設計レイアウトを容易に行なうことができるようになる。

4. 図面の簡単な説明

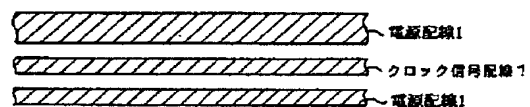
第1図乃至第13図はこの発明の第1の実施例乃至第13の実施例に係る集積回路の配線構造を示すパターン平面図、第14図は従来の集積回路

の配線構造を示すパターン平面図である。

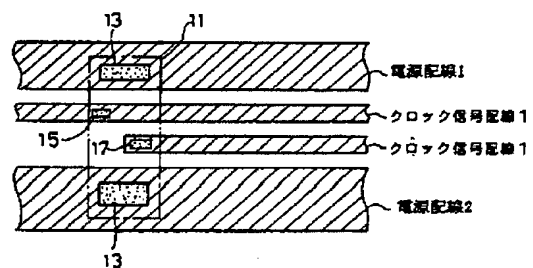
代理人弁護士 三好保男



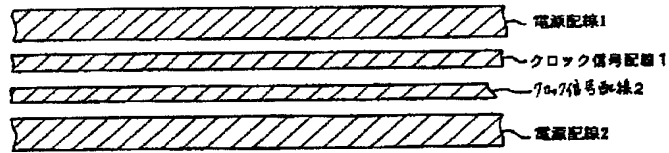
第1図



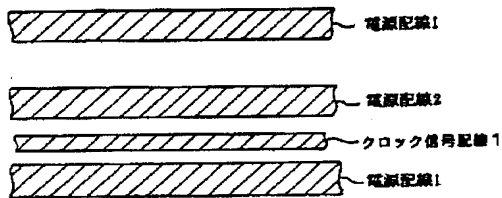
第2図



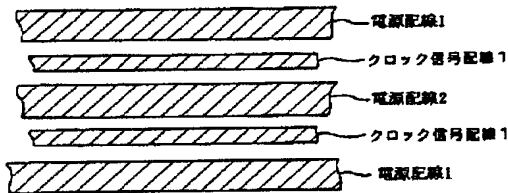
第3図



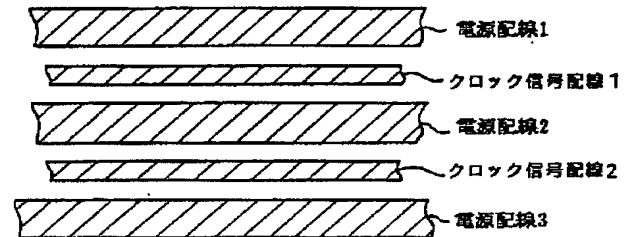
第4図



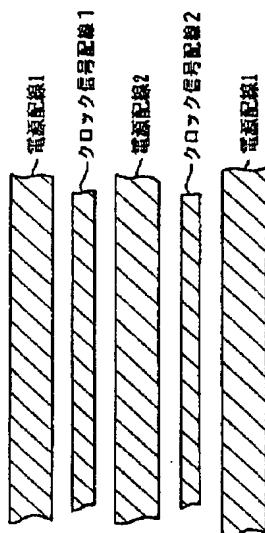
第5図



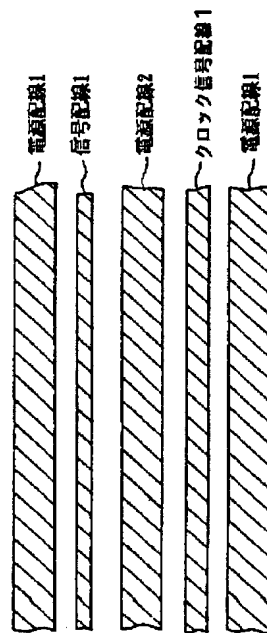
第6図



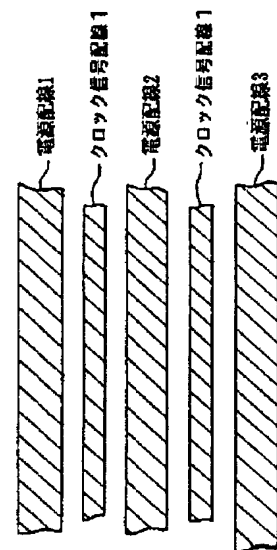
第10図



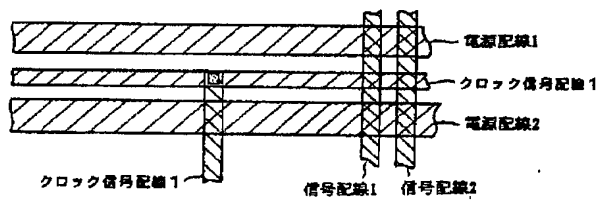
第7図



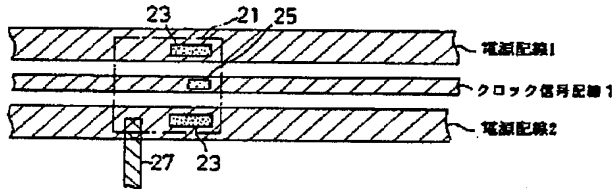
第8図



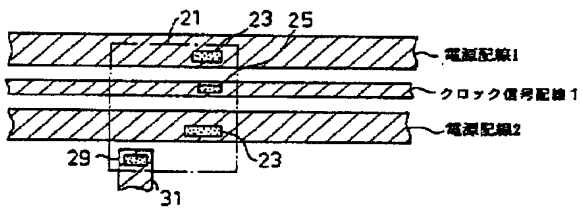
第9図



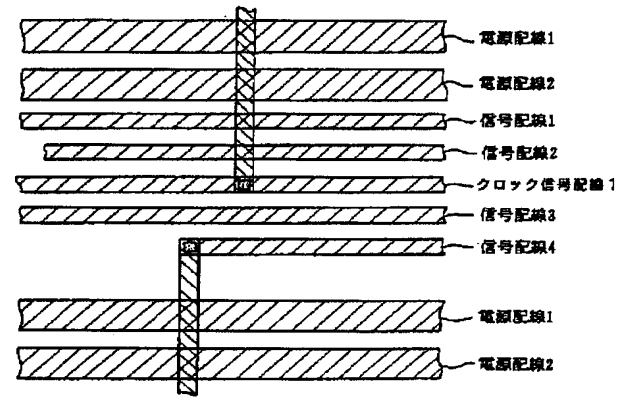
第 11 図



第 12 図



第 13 図



第 14 図

Partial Translation of Reference 5

JP-A-2-51252

In a first embodiment shown in Fig. 1, only a clock signal wiring 1 is disposed between a power supply wiring 1 and a power supply wiring 2, which respectively supply power at different potentials. In this type of disposition and layout, wirings adjacent to the clock signal wiring 1 are power supply wirings 1, 2. The potentials of the power supply wirings 1, 2 are designed so that they are normally kept constant. Therefore, the potential of wirings adjacent to the clock signal wiring 1 is constant to facilitate simulation of the effect of the inter-wiring capacity of the clock signal wiring 1 to the power supply wirings 1, 2 upon clock signal propagation. Thus, it is possible to easily determine the width of the of clock signal wiring and the space up to the adjacent wirings for propagating a desired clock signal and the wiring route.

Further, crosstalk between the clock signal wiring 1 and the power supply wirings 1, 2 due to the inter-wiring capacity is eliminated, so the influence of the clock signal upon the power supply wiring is hardly caused.

Therefore, it is possible to easily design the disposition of the clock signal wiring for propagating a clock signal of a shape waveform having high frequency.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-051252

(43)Date of publication of application : 21.02.1990

(51)Int.Cl.

H01L 21/82
H01L 21/3205
H01L 27/04

(21)Application number : 63-201963

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.08.1988

(72)Inventor : HORI CHIKAHIRO

(54) WIRING STRUCTURE OF INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To facilitate design layout by placing only clock signal wiring to propagate a clock signal between electric source wiring to supply currents.

CONSTITUTION: Only clock signal wiring 1 is placed between electric source wiring 1 and 2 to supply currents of different potential. In this arranging layout, wiring adjacent to the clock signal wiring 1 acts as electric source wiring 1 and 2, which is designed to normally keep the potential thereof constant. Therefore, the potential of the wiring adjacent to the clock signal wiring 1 is constant to facilitate the simulation of the effect of the capacity between the clock signal wiring 1 and the electric source. Wiring 1 and 2 to clock signal propagation. This enables easily determining the width of the clock signal wiring to propagate the desired clock signal therethrough, the distance from the adjacent wiring, and the wiring path.

